

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) JAPANESE PATENT OFFICE

Official Gazette for Laid-Open Patent Applications

(11) Japanese Laid-Open Patent Application (Kokai) No. 53[1978]-90,835

(43) Laying-Open Date: 10 August 1978

(51) Int.Cl. ²	Ident. Symbols	(52) Japanese Class.	Internal Office Nos.
H 03 K 19/00		97(7) E 41	7257-56
G 11 C 17/00		97(7) C 5	7010-56

Request for Examination: Requested

Number of Inventions: 1 (Total of 3 pages)

(54) Title of the Invention: An MIS Type Level Shifter

(21) Application No.: 52[1977]-4931

(22) Application Date: 21 January 1977

(72) Inventor: Naoki Yashiki
c/o Musashi Plant, Hitachi Seisakujo Company, Ltd.
1450 Josuihon-cho, Kodaira-shi

(72) Inventor: Isamu Kobayashi
c/o Musashi Plant, Hitachi Seisakujo Company, Ltd.
1450 Josuihon-cho, Kodaira-shi

(71) Applicant: Hitachi Seisakujo Company, Ltd.
5-1 Marunouchi 1-chome, Chiyoda-ku, Tokyo-to

(74) Agent: Toshiyuki Susukida, Patent Attorney

Specification

Title of the Invention: An MIS Type Level Shifter

Claim

1. An MIS type level shifter which has a flip-flop circuit in which the output of a first inverter is applied to the input terminal of a second inverter and the output of the second inverter is applied to the input terminal of the first inverter and a sampling circuit which samples the signal by means of a sampling pulse, one of the pair of outputs in this sampling circuit being connected to the other input terminal of the aforementioned first inverter and the other of the aforementioned pair of outputs being connected to the other input terminal of the aforementioned second inverter.

Detailed Description of the Invention

This invention relates to a MIS (metal insulator semiconductor) type level shifter.

When, for example, the level of output of a ROM (Read Only Memory) is shifted in an electronic watch or electronic desktop calculator and when this ROM is performing static circuit operations, as shown in Figure 5(b), the level can be shifted even if sampling is not performed by the latch circuit.

However, with the requirements for making chips smaller and for integration, there is a demand for constructing the ROM with dynamic type circuits of a high degree of integration (for example, a vertical ROM).

In static circuits, information is integrated in a capacitor. For this reason, as shown in Figure 5(a), the output level is slowly decreased by leaks of integrated information. In particular, because electronic watches and electronic desktop calculators operate at low frequencies, the decrease in output level is marked.

Consequently, when, for example, ROMs are constructed with dynamic circuits in response to the demand for smaller devices, in a state in which the ROM output is not decreased below a fixed level, the output is latched and it is necessary to shift the output level.

The object of this invention is to provide a level shifter that has this latch function, in turn, providing dynamic electron devices that operate at a low frequency dynamic, and, by this means, seeking to decrease chip size and achieve a higher degree of circuit integration.

One mode of execution of this invention for the purpose of achieving this object is a device which has a flip-flop circuit in which the output of a first inverter is applied to the input terminal of a second inverter and the output of the second inverter is applied to the input terminal of the first inverter and a sampling circuit which samples the signal by means of a sampling pulse so that one of the pair of outputs in this sampling circuit is applied to the other input terminal of the aforementioned first inverter and the other of the aforementioned pair of outputs is applied to the other input terminal of the aforementioned second inverter.

We shall now describe this invention by means of an example.

Figure 1 is a circuit diagram that shows an example in which this invention is used in a complementary MIS-IC and Figure 2 is a timer chart diagram in this circuit.

M_1 to M_6 are MISFETs of which the flip-flop is constructed. M_1 is an N-channel type MISFET which serves as the load device of the first inverter, M_2 is a N-channel MISFET that serves as the load device of the second inverter, M_3 and M_4 are P-channel type MISFETs that serve as the drive devices of the first inverter and M_5 and M_6 are P-channel type MISFETs that serve as the drive devices of the second inverter.

With an ordinary level shifter, the outputs of each inverter should be higher than the threshold voltages of the MISFETs M_1 and M_2 . However, in the flip-flop of this example, the output levels of each inverter must be higher than the logic threshold voltages of the inverters. For this reason, it is necessary to set W/L in the MISFETs M_1 and M_4 and M_2 and M_6 .

NANDs 1 and 2 and the inverter Inv form the sampling circuit.

In this example, the output of the ROM is sent directly to the flip-flop that is constituted of M_1 through M_6 as the paired signals a and b at a specified timing by the sample pulse ϕ and the flip-flop is controlled by the signals a and b.

In this way, the ROM is constructed of a dynamic circuit, and, even though the output level is slowly decreased, the ROM output is only introduced during timing when the output level is not particularly low, whereas at other times the ROM output is not introduced. As a result, error operations of the flip-flop for level shifts attributable to a decrease in output level can be prevented and the

output level can be shifted without failure from $-V_{ss}$ to $-V_{gg}$. Thus, latching of the sampled signals can be performed by using the flip-flop for level shift as is without establishing a special latch circuit. Therefore, the number of elements is not increased to no purpose in order to achieve prevention of error operations.

Figure 3 shows an example in which a latch circuit is installed separately from the flip-flop.

The clocked inverters CInv1 and 2 and the inverter Inv2 form the latch circuit. Therefore, when the signal for sampling ϕ is introduced, the ROM output is introduced into the flip-flop comprised of Inv2 and CInv 2 through CInv1 and latching is effected. The output of the flip-flop for latching is inverted by Inv3 and this inverted output a together with output b, which has further inverted the inverted output a are applied to the flip-flop for the level shift that is constructed of M_7 through M_{10} .

This flip-flop for the level shift is comprised of a first inverter that is constructed of an N-channel MISFET M_7 for loading and of a P-channel MISFET M_9 for drive and of a second inverter that is constructed of an N-channel MISFET M_8 for loading and of a P-channel MISFET M_{10} for drive. For the first inverter, the signal a is applied to M_9 and the output of the second inverter is applied to M_7 . For the second inverter, the signal b is applied to M_{10} and the output of the first inverter is applied to M_8 .

It goes without saying that, by means of this circuit, the output of the dynamic ROM can undergo level shift without impediment.

In either of the two examples, as shown in Figure 4, the ROM3 is latched in the latch circuit 2 by the pulse for sampling ϕ , and the level can be shifted by the level shift component 1 without causing a decrease of the output level.

Consequently, no impediment arises to constructing circuits that operate with low frequency signals with dynamic devices and error operations can be prevented and a smaller size can be achieved.

This invention can be used effectively in level shifters in devices that use dynamic logic.

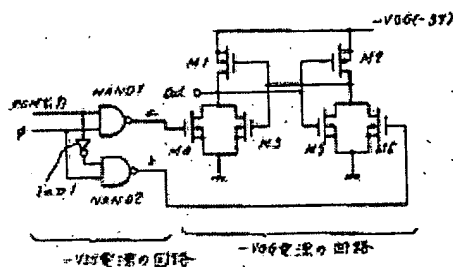
Brief Explanation of the Figures

Figure 1 is a circuit diagram of an example of this invention, Figure 2 is a timing chart diagram of the circuit of Figure 1, Figure 3 is a circuit diagram of another example of this invention, Figure 4 is a block diagram of an application example of this invention, Figure 5(a) is an output waveform diagram of a dynamic circuit and (b) is an output waveform diagram of a dynamic of a dynamic circuit.

1 -- level shift component; 2 -- latch component; 3 -- ROM; $M_1 - 10$ -- MISFETs; Inv1 to 4 -- inverters; CInv 1, 2 -- clocked inverters; NAND 1, 2 -- NAND circuits.

Agent: Toshiyuki Susukida, Patent Attorney

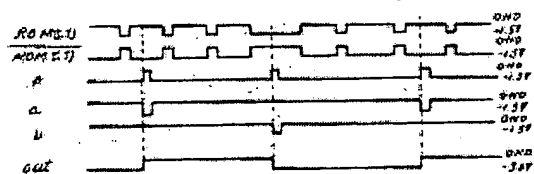
Figure 1



Top left: ROM output

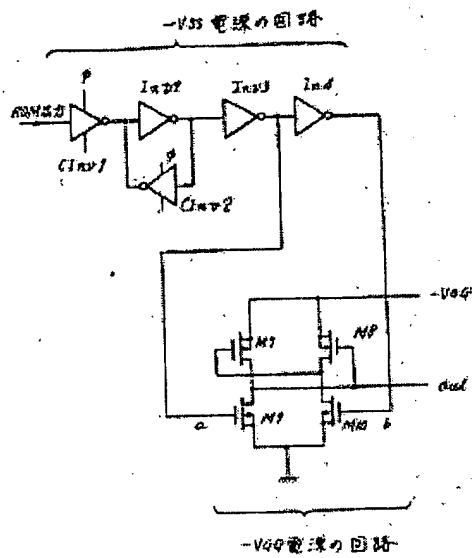
Top left: ROM output
Bottom left: circuit of $-V_{ss}$ power source Right: circuit of $-V_{gg}$ power source

Figure 2



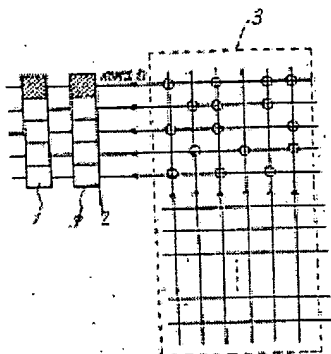
Top left: ROM output
ROM output

Figure 3



Top: circuit of -Vss power source
 Left: ROM output
 Bottom: circuit of -VGG power source

Figure 4



In figure: ROM output

Figure 5



DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

00288835
MIS-TYPE LEVEL SHIFTER

PUB. NO.: 53-090835 [JP 53090835 A]
PUBLISHED: August 10, 1978 (19780810)
INVENTOR(s): YASHIKI NAOKI
KOBAYASHI ISAMU
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 52-004931 [JP 774931]
FILED: January 21, 1977 (19770121)

ABSTRACT

PURPOSE: To realize a dynamic electronic equipment by providing a flip-flop circuit comprising through application of the inverter output and a sampling circuit which samples the signal.

①日本国特許庁
公開特許公報

①特許出願公開
昭53—90835

①Int. Cl.²
H 03 K 19/00
G 11 C 17/00

識別記号

②日本分類
97(7) E 41
97(7) C 5

庁内整理番号
7257—56
7010—56

③公開 昭和53年(1978)8月10日

発明の数 1
審査請求 有

(全 3 頁)

④M I S型レベルシフタ

①特 願 昭52—4931

②出 願 昭52(1977)1月21日

⑦発 明 者 屋鋪直樹
小平市上水本町1450番地 株式
会社日立製作所武蔵工場内

⑦発 明 者 小林勇
小平市上水本町1450番地 株式
会社日立製作所武蔵工場内

⑧出 願 人 株式会社日立製作所
東京都千代田区丸の内一丁目 5
番 1 号

⑨代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 M I B型レベルシフタ

特許請求の範囲

1. 第1のインバータの出力を第2のインバータの一方の入力端子に、第2のインバータの出力を第1のインバータの一方の入力端子に印加してなるフリップフロップ回路及びサンプル用パルスによつて信号をサンプルするサンプル回路を有し、このサンプル回路における一対の出力の一方を上記第1のインバータの他方の入力端子に、上記一対の出力の他方を上記第2のインバータの他方の入力端子にそれぞれ接続してなるM I B型レベルシフタ。

発明の詳細な説明

本発明はM I B (Metal Insulator Semiconductor) 型レベルシフタに関するものである。

電子時計、電子卓上計算機等において例えばROM (Read Only Memory) の出力のレベルをシフトする場合、このROMがスタティックな回路動作をするものであれば、その出力波形は

第5図(ハ)に示すようになり、特にラッチ回路でサンプリングしなくてもレベルをシフトすることができる。

しかるに、チップの小型化、集積化の要請に伴い、ROM等を集積度の高いダイナミック型の回路(例えば縦型ROM)で構成することが要請されている。

ダイナミック型回路においては、情報をキャパシタに蓄積させるので第5図(ハ)に示すように蓄積情報のリークによつて序々に出力レベルが低下する。殊に、電子時計、電子卓上計算機等は低い周波数で動作するから出力レベルの低下が顕著である。

したがつて、装置の小型化の要請に応えるべく例えばROMをダイナミック型回路で構成した場合、ROMの出力が一定レベル以下に低下しない状態でその出力をラッチし、出力レベルをシフトすることが必要となる。

本発明はかかるラッチ機能を有するレベルシフタを提供することを目的とし、延いては低い周波

数で動作する電子装置のダイナミック化を図り、もつてチップサイズの減少、回路の高集積化を図ることを目的とする。

上記目的を達成するための本発明の一実施形態は、第1のインバータの出力を第2のインバータの一方の入力端子に、第2のインバータの出力を第1のインバータの一方の入力端子に印加してなるフリップフロップ回路及びサンプル用パルスによつて信号をサンプルするサンプル回路を有し、このサンプル回路における一対の出力の一方を上記第1のインバータの他方の入力端子に、上記一対の出力の他方を上記第2のインバータの他方の入力端子に印加するようにしてなるものである。

以下本発明を実施例により説明する。

第1図は本発明をコンプリメンタリMISB-I/Oに適用した一実施例を示す回路図、第2図はその回路におけるタイムチャート図である。

$M_1 \sim M_4$ はフリップフロップを構成するMISB FETで、 M_1 は第1のインバータの負荷手段となるNチャネル型MISB FET、 M_2 は第

2のインバータの負荷手段となるNチャネルMISB FET、 M_3, M_4 は第1のインバータの駆動手段となるPチャネル型MISB FET、 M_1, M_2 は第2のインバータの駆動手段となるPチャネル型MISB FETである。

なお、通常のレベルシフトであれば、各インバータの出力はMISB FET M_1, M_2 のスレッショールド電圧より高ければよいが、本実施例に係るフリップフロップにおいては各インバータの出力レベルをインバータのロジックスレッショールド電圧より高くしなければならず、そのため、MISB FET M_1 と M_2 、又は M_3 と M_4 とにおける W/L を設定する必要がある。

NAND1, 2 及びインバータ Inv はサンプリング回路を構成するものである。

本実施例はROM (図示せず) の出力をサンプルパルス ϕ により特定タイミングに一対の信号 a, b として $M_1 \sim M_4$ で構成されたフリップフロップに直接送出し、信号 a, b によりフリップフロップを制御する。

このようにすれば、ROMがダイナミック型の回路で構成され、出力のレベルが徐々に低下するものであつたとしても、出力レベルがあまり低くならないときのタイミング時域のみROM出力を取り込み、それ以外の時にはROM出力を取り込まないようにすることにより、出力レベルの低下に基づくレベルシフト用フリップフロップの誤動作を防止することができ、出力レベルを支障なく $-V_{DD}$ から $-V_{SS}$ にシフトすることができる。そして、サンプルした信号のラッチは特別のラッチ回路を設けることなくレベルシフト用フリップフロップをそのまま用いることにより行ひ、誤動作防止を図るためにいたずらに素子数が増すことはない。

第3図はラッチ回路をフリップフロップとは別個に設けた実施例を示すものである。

クロックドインバータ CInv1, 2 及びインバータ Inv2 はラッチ回路を構成するもので、サンプル用 ϕ 信号が入つたとき CInv1 を通じてROMの出力を Inv2 と CInv2 とからなるフリップ

フロップに取り込み、ラッチするものである。Inv3 によりラッチ用フリップフロップの出力を反転し、その反転出力 a と、その反転出力 a をさらに反転した出力 b とを $M_1 \sim M_4$ により構成されたレベルシフト用フリップフロップに印加する。

このレベルシフト用フリップフロップは、負荷用NチャネルMISB FET M_1 と駆動用PチャネルMISB FET M_2 とによつて構成された第1のインバータと、負荷用NチャネルMISB FET M_3 と駆動用PチャネルMISB FET M_4 とによつて構成された第2のインバータとからなる。第1のインバータについては、信号 a を M_1 に印加し、第2のインバータについては信号 b を M_3 に印加し、第1のインバータの出力を M_2 に印加するものであり、第2のインバータについては信号 a を M_4 に印加し、第1のインバータの出力を M_3 に印加するものである。

この回路によつても、ダイナミック型ROMの出力を支障なくレベルシフトすることができることというまでもない。

両方のいずれの実施例においても第4図に示す

ように、ROM 3 の出力をサンプル用パルス ϕ に
よつてラッチ回路²でラッチし、出力レベルを低
下させることなくレベルシフト部 1 でレベルをシ
フトすることができ、誤動作を防止できる。

したがって、低周波の信号で動作する回路をダイナミック型のもの で構成することによって支障が生じなくなり、小型化を図ることができるのである。

本発明はダイナミック論理を利用した装置におけるレベルシフトに有効に適用することができる。

図面の簡単な説明

第1図は本発明の一実施例に係る回路図、第2図は第1図の回路のタイムチャート図、第3図は本発明の他の実施例に係る回路図、第4図は本発明の応用例のブロック図、第5図(a)はダイナミック型回路の出力波形図、(b)はダイナミック型回路の出力波形図である。

1. レベルシフト部、2. ラッチ部、3. ROM、M、～、MISFET、Invl
～4. インバータ、CInvl、2. クロック
ドインバータ、NAND1、2. NAND回路。
代理人 伊理十 瀧田利幸

